

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102686

(43)Date of publication of application : 16.04.1996

(51)Int.Cl.

H04B 1/10

H04L 1/00

(21)Application number : 06-237421

(71)Applicant : TOSHIBA CORP
TOSHIBA AVE CORP

(22)Date of filing : 30.09.1994

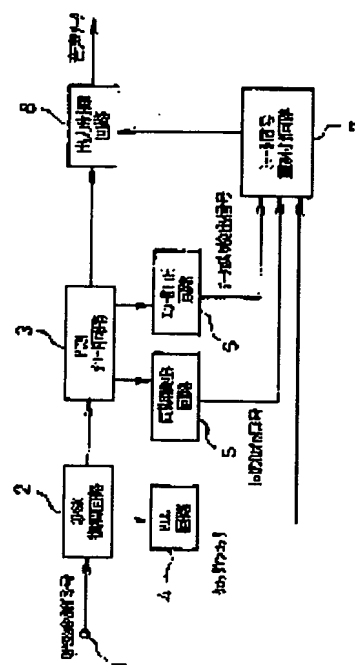
(72)Inventor : TOYODA NAOHIKO

(54) MUTING CIRCUIT

(57)Abstract:

PURPOSE: To reduce rude reproduced noises by applying optimum muting when clocks are not synchronized at the time of reproducing digital sound data, when data are not synchronized, or when a data error is detected.

CONSTITUTION: A QPSK modulation signal from an input terminal 1 is supplied from a QPSK modulation circuit 2 to a PLL circuit 4 and supplied to a synchronism detecting circuit 5 and an error correcting circuit 6 through a PCM decoding circuit 3. A clock unlocking signal, a step-out signal and a data error detection signal are respectively supplied from the circuits 4 to 6 to a mute signal weighting circuit 7, which outputs a mute signal corresponding to each input signal to an output control circuit 8. The circuit 8 controls the output of sound data based upon the mute signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102686

(43) 公開日 平成8年(1996)4月16日

| (51) Int.Cl. ⁹ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|--------|-----|--------|
| H 0 4 B 1/10 | B | | | |
| H 0 4 L 1/00 | Z | | | |

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平6-237421

(22) 出願日 平成6年(1994)9月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221029

東芝エー・ブイ・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 豊田 直彦

東京都港区新橋3丁目3番9号 東芝エー・ブイ・イー株式会社内

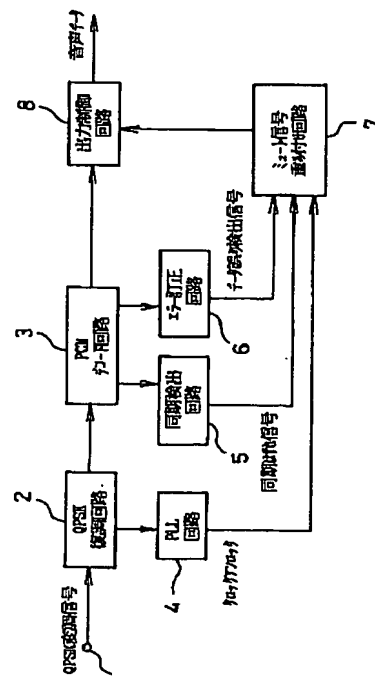
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 ミュート回路

(57) 【要約】

【目的】 デジタル音声データの再生においてクロックの同期が取れない場合、データの同期が取れない場合、データエラーを検出した場合に最適なミュートイングを行い、耳障りな雑音を軽減し得るデジタル音声データの再生におけるミュート回路を提供する。

【構成】 入力端子1からのQPSK変調信号はQPSK復調回路2からPLL回路4に供給されるとともにおよびPCMデコード回路3を介して同期検出回路5およびエラー訂正回路6に供給される。PLL回路4、同期検出回路5、エラー訂正回路6からそれぞれクロックアンロック信号、同期はずれ信号、データ誤り検出信号がミュート信号重み付け回路7に供給され、各信号に応じたミュート信号を出力制御回路8に出力し、出力制御回路8は該ミュート信号により音声データの出力を制御する。



【特許請求の範囲】

【請求項 1】 デジタル変調された音声データを復調した復調データからクロック同期を取り、同期が取れない場合にクロックアンロック信号を出力するクロックアンロック信号発生手段と、

前記復調データから同期パターンを検出して、データの同期を取り、同期が取れない場合に同期はずれ信号を出力する同期はずれ信号発生手段と、

前記復調データ中のデータエラーを検出し、データ誤り検出信号を出力するエラー検出手段と、

前記クロックアンロック信号、同期はずれ信号およびデータ誤り検出信号に応じて音声データの出力レベルを制御する出力レベル制御手段とを有することを特徴とするミュート回路。

【請求項 2】 デジタル変調された音声データを復調した復調データからクロック同期を取り、同期が取れない場合にクロックアンロック信号を出力するクロックアンロック信号発生手段と、

前記復調データから同期パターンを検出して、データの同期を取り、同期が取れない場合に同期はずれ信号を出力する同期はずれ信号発生手段と、

前記復調データ中のデータエラーを検出し、データ誤り検出信号を出力するエラー検出手段と、

前記クロックアンロック信号、同期はずれ信号およびデータ誤り検出信号のそれぞれに応じた発生時間および発生期間を有するミュート信号を出力するミュート信号重み付け手段と、

該ミュート信号により音声データの出力を制御する出力制御手段とを有することを特徴とするミュート回路。

【請求項 3】 前記エラー検出手段から出力されるデータ誤り検出信号を所定時間計数する計数手段と、該計数手段による計数値が所定の値を越えた場合、前記クロックアンロック信号、同期はずれ信号およびデータ誤り検出信号に応じて前記ミュート信号重み付け手段から出力されるミュート信号の発生時間を早くするように前記ミュート信号重み付け手段を制御する制御手段とを有することを特徴とする請求項 2 記載のミュート回路。

【請求項 4】 前記出力制御手段は、前記ミュート信号重み付け手段から出力されるミュート信号により前記音声データの値を段階的に可変する可変手段を有することを特徴とする請求項 2 または 3 記載のミュート回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル音声データの再生装置においてクロックの同期が取れない場合、データの同期が取れない場合、データエラーを検出した場合に発生する耳障りな雑音を軽減するデジタル音声データの再生におけるミュート回路に関する。

【0002】

【従来の技術】 デジタル音声データの再生装置には、無

線系の衛星放送、衛星通信や地上放送などのデジタル放送受信機が知られている。また、有線系でも CATV などの受信機が知られており、パッケージメディアなどのデジタルオーディオテーププレーヤやデジタルオーディオディスクプレーヤもよく知られている。これらの再生装置では、無線系、有線系においては伝送路での外部要因によりデータに誤りが発生し再生信号に雑音が生じることがある。同様にパッケージメディアなどにおいても各種サーボシステムの乱れ、記録媒体に付着したごみや傷などによって生じるデータ欠落（ドロップアウト）などによるエラーが雑音の原因となっている。

【0003】 例えば、無線系の衛星放送の受信機では、空中での伝送で雨、雲などの障害物の影響により電波の質が低下し、C/N が悪くなる。これによって、データ再生が正常に行えなくなり、クロック同期や同期パターン検出ができなくなる。また、データのエラー訂正も不可能な状態では正常な出力信号を得ることができない。このような状態のときは出力信号をミュートしている。

【0004】 従来、データにエラーが頻繁に発生した場合、出力信号をミュートするまでの処理としてデジタル音声データの再生装置はエラーが入った音声データを QPSK 変調し、PLL 回路においてクロック同期を取り、この同期が取れない場合には PLL 回路はクロックアンロック信号を出力する。次に、同期検出回路で同期パターンを検出し、データの同期を取り、この同期が取れない場合には同期検出回路は同期はずれ信号を出力する。また、エラー訂正回路で音声データをエラー訂正やエラー補間を行っている。しかし、音声データ中のエラーの頻度が増してくると、エラー訂正回路やエラー補間の訂正、補間能力を越え、エラー訂正、補間が不可能になり、雑音となって出力される。そこで、このような訂正、補間しきれない音声データをエラー訂正回路やエラー補間回路からのエラー検出信号によりミュート検出回路においてミュート条件を設定し、音声データをミュートしていた。

【0005】 このミュート検出回路では、エラー検出信号の頻度に応じてミュート設定条件と解除条件を変えて音声データ出力を制御することにより、雑音の発生を抑えていた。あるいは、ミュート条件を音声データがゼロ付近になったときにミュートをかけるようにすることで雑音を抑えていた。さらに、データにエラーが頻繁に発生すると同期検出ができなくなり、同期はずれ信号が出力され、この信号でミュートを行ったり、また、PLL 回路での同期が取れなくなり、クロックアンロック信号が出力され、この信号でミュートを行っていた。

【0006】

【発明が解決しようとする課題】 しかしながら、上述した従来の方法では、ミュート条件を決める信号が音声データのエラー訂正回路のエラー信号、同期検出回路の同期はずれ信号や PLL 回路のクロックアンロック信号に

よるもので、一意的にミュートを行っていたため、最適なミュートを行うことができず、不快な雑音が発生するという欠点があった。

【0007】本発明は、上記に鑑みてなされたもので、その目的とするところは、デジタル音声データの再生においてクロックの同期が取れない場合、データの同期が取れない場合、データエラーを検出した場合に最適なミュートを行い、耳障りな雑音を軽減し得るデジタル音声データの再生におけるミュート回路を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本願第1の発明のミュート回路は、デジタル変調された音声データを復調した復調データからクロック同期を取り、同期が取れない場合にクロックアンロック信号を出力するクロックアンロック信号発生手段と、前記復調データから同期パターンを検出して、データの同期を取り、同期が取れない場合に同期はずれ信号を出力する同期はずれ信号発生手段と、前記復調データ中のデータエラーを検出し、データ誤り検出信号を出力するエラー検出手段と、前記クロックアンロック信号、同期はずれ信号およびデータ誤り検出信号に応じて音声データの出力レベルを制御する出力レベル制御手段とを有することを要旨とする。

【0009】また、本願第2の発明のミュート回路は、デジタル変調された音声データを復調した復調データからクロック同期を取り、同期が取れない場合にクロックアンロック信号を出力するクロックアンロック信号発生手段と、前記復調データから同期パターンを検出して、データの同期を取り、同期が取れない場合に同期はずれ信号を出力する同期はずれ信号発生手段と、前記復調データ中のデータエラーを検出し、データ誤り検出信号を出力するエラー検出手段と、前記クロックアンロック信号、同期はずれ信号およびデータ誤り検出信号のそれぞれに応じた発生時間および発生期間を有するミュート信号を出力するミュート信号重み付け手段と、該ミュート信号により音声データの出力を制御する出力制御手段とを有することを要旨とする。

【0010】更に、本願第3の発明のミュート回路は、前記エラー検出手段から出力されるデータ誤り検出信号を所定時間計数する計数手段と、該計数手段により計数値が所定の値を越えた場合、前記クロックアンロック信号、同期はずれ信号およびデータ誤り検出信号に応じて前記ミュート信号重み付け手段から出力されるミュート信号の発生時間を早くするように前記ミュート信号重み付け手段を制御する制御手段とを有することを要旨とする。

【0011】本願第4の発明のミュート回路は、前記出力制御手段が前記ミュート信号重み付け手段から出力されるミュート信号により前記音声データの値を段階的に

可変とする可変手段を有することを要旨とする。

【0012】

【作用】本願第1の発明のミュート回路では、デジタル変調された音声データの復調において出力されるクロックアンロック信号、同期はずれ信号、データ誤り検出信号に応じて音声データの出力レベルを制御している。

【0013】また、本願第2の発明のミュート回路では、デジタル変調された音声データの復調において出力されるクロックアンロック信号、同期はずれ信号、データ誤り検出信号のそれぞれに応じた発生時間および発生期間を有するミュート信号を出力し、該ミュート信号により音声データの出力を制御する。

【0014】更に、本願第3の発明のミュート回路では、前記データ誤り検出信号を所定時間計数し、該計数値が所定の値を越えた場合、前記クロックアンロック信号、同期はずれ信号およびデータ誤り検出信号に応じて出力されるミュート信号の発生時間を早くするように制御する。

【0015】本願第4の発明のミュート回路では、前記出力制御手段は、前記ミュート信号により音声データの値を段階的に可変する。

【0016】

【実施例】以下、図面を用いて本発明の実施例を説明する。図1は、本発明の一実施例に係わるデジタル音声データの再生におけるミュート回路の構成を示すブロック図である。なお、本実施例においては、デジタル音声データの再生のうち衛星放送のデータ再生について説明するが、パッケージメディアや一般の圧縮音声についても同様である。

【0017】図1においては、入力端子1から供給されるQPSK変調信号は、QPSK復調回路2に供給されて、デジタルデータに復調され、PCMデコード回路3およびPLL回路4に供給される。PCMデコード回路3は、QPSK復調回路2から供給されたデジタルデータから制御データの検出やデータのデインターリーブを行ったり、レンジ検出などの処理を行い、該PCMデコード回路3からの出力信号は出力制御回路8を介して音声データとして出力される。また、PLL回路4は、QPSK復調回路2からの復調データのクロック同期を取り、同期が取れない場合にはクロックアンロック信号を出力する。

【0018】また、PCMデコード回路3の出力は、同期検出回路5およびエラー訂正回路6に接続されている。同期検出回路5はPCMデコード回路3からのデジタルデータから同期パターンを検出して、データの同期を取り、データ中にエラーがあり、これにより同期パターンが検出できなくなり、データの同期が維持できなくなった時には同期はずれ信号を出力する。

【0019】また、エラー訂正回路6は、PCMデコード回路3からのデジタルデータにエラーがないかどうか

5

を識別し、訂正可能なデータに対しては訂正処理し、訂正不可能なデータが発生した場合にデータ誤り検出信号を出力する。

【0020】前記PLL回路4、同期検出回路5、およびエラー訂正回路6からそれぞれ出力されるクロックアンロック信号、同期はずれ信号、およびデータ誤り検出信号は、ミュート信号重み付け回路7に供給され、該ミュート信号重み付け回路7は前記クロックアンロック信号、同期はずれ信号、およびデータ誤り検出信号に応じた発生時間および発生期間を有するミュート信号を前記出力制御回路8に供給し、出力制御回路8はミュート信号重み付け回路7からのミュート信号により音声データ出力を制御する。

【0021】以上のように構成される実施例において、入力端子1からのQPSK変調されたデジタル音声信号は、QPSK復調回路2においてデジタルデータに復調され、PLL回路4およびPCMデコード回路3に供給される。PLL回路4は、QPSK復調回路2からの復調デジタルデータからクロック同期を取り、同期が取れない場合には、クロックアンロック信号をミュート信号重み付け回路7に供給する。

【0022】また、PCMデコード回路3に供給された復調デジタルデータは、PCMデコード回路3から同期検出回路5およびエラー訂正回路6に供給される。同期検出回路5は、PCMデコード回路3からのデジタルデータから同期パターンを検出して、データの同期を取り、データ中にエラーがあり、同期パターンが検出できなくなり、データの同期が維持できなくなると、同期はずれ信号をミュート信号重み付け回路7に供給する。

【0023】また、エラー訂正回路6は、エラー訂正処理において訂正不可能なデータが発生した場合にデータ誤り検出信号をミュート信号重み付け回路7に供給する。

【0024】ミュート信号重み付け回路7は、クロックアンロック信号、同期はずれ信号、またはデータ誤り検出信号を供給されると、該信号に応じた発生時間および発生期間を有するミュート信号を出力制御回路8に供給する。出力制御回路8は、該ミュート信号に応じてPCMデコード回路3からの音声データをゼロにして出力し、これにより従来の耳障りな雑音を低減している。

【0025】更に詳しく、ミュート信号重み付け回路7の処理について説明すると、一般に衛星放送などの場合、C/Nが劣化してくると、まず最初にデータのエラーが発生し、訂正が不可能なデータが出てくる。それから、次に、同期パターンの検出も困難になり、同期はずれが生じ、ついにはPLLがはずれて、クロックアンロック状態になる。このような状態においてミュートをかけるタイミングとしては、PLLのクロックアンロック信号の場合には出力制御回路8に対して直ちにミュート信号を供給し、同期はずれ信号の場合には少し遅れてか

6

らミュート信号を出力制御回路8に供給し、データ誤り検出信号の場合には更に遅らせてからミュート信号を出力制御回路8に供給する。

【0026】また、ミュート信号の復帰はすべての信号に対して同時に行う。出力制御回路8では、前記ミュート信号によりPCMデコード回路3からの音声データ出力をゼロにして出力する。

【0027】また、ミュート信号重み付け回路7における別のミュート処理としては、PLL回路4のクロックアンロック信号および同期検出回路5の同期はずれ信号の処理は上述した処理と同じであるが、エラー訂正回路6からのデータ誤り検出信号に対しては、データ誤り検出信号が発生したとき、出力制御回路8においてPCMデコード回路3からの音声データを図2において(イ)で示すように1/Nに低減するようなミュート信号をミュート信号重み付け回路7から出力制御回路8に出力する。

【0028】図3は、本発明の他の実施例の構成を示すブロック図である。同図に示す実施例は、図1に示した実施例においてエラー訂正回路6とミュート信号重み付け回路7に接続されるエラー計数回路10を設けた点が異なるのみで、その他の構成および作用は図1に示す実施例と同じであり、図1と同じ構成要素には同じ符号が付されている。

【0029】エラー計数回路10は、エラー訂正回路6からのデータ誤り検出信号をある一定期間計数し、該計数値が所定値を越えた時、前記クロックアンロック信号、同期はずれ信号、およびデータ誤り検出信号に対する、ミュート信号重み付け回路7からのミュート信号の発生時間を早くするようにしたものである。

【0030】図4は、本発明の別の実施例の構成を示すブロック図である。同図に示す実施例は、図1に示した実施例においてPCMデコード回路3とミュート信号重み付け回路7に接続される加算回路11を設けた点が異なるのみで、その他の構成および作用は図1の実施例と同じであり、同じ構成要素には同じ符号が付されている。

【0031】加算回路11は、前記クロックアンロック信号、同期はずれ信号、およびデータ誤り検出信号に対してミュート信号重み付け回路7から供給されるミュート信号に応じてPCMデコード回路3からの音声データを図5に示すようにミュート解除状態からミュート状態まで段階的にゼロレベルに近づけるような加算処理を行うものである。更に具体的には、クロックアンロック信号の場合には、ミュート信号重み付け回路7は音声データが急峻にミュート状態になるようなミュート信号を加算回路11に供給し、同期はずれ信号の場合には少し滑らかにミュート状態になるようなミュート信号を加算回路11に供給し、またデータ誤り検出信号の場合には、滑らかにミュート状態になるようなミュート信号を加算

回路 11 に供給する。なお、ミュート状態からの復帰は全て同じである。

【0032】図 6 は、前記 3 つの信号、すなわちクロックアンロック信号、同期はずれ信号、およびデータ誤り検出信号が複合的に発生した場合のミュート状態に至るまでの遷移を示している。

【0033】

【発明の効果】以上説明したように、本発明によれば、デジタル変調された音声データの復調において出力されるクロックアンロック信号、同期はずれ信号、データ誤り検出信号に応じて音声データの出力レベルを制御したり、またはクロックアンロック信号、同期はずれ信号、データ誤り検出信号のそれぞれに応じた発生時間および発生期間を有するミュート信号を出力し、該ミュート信号により音声データの出力を制御するので、クロックアンロック信号、同期はずれ信号、データ誤り検出信号のそれぞれに応じて最適なミュートングを得ることができ、耳障りな雑音を軽減することができる。

【図面の簡単な説明】

【図 1】本発明の一実施例に係わるデジタル音声データの再生におけるミュート回路の構成を示すブロック図である。

【図 2】図 1 に示すミュート回路の音声データ出力波形を示す図である。

【図 3】本発明の他の実施例の構成を示すブロック図である。

【図 4】本発明の別の実施例の構成を示すブロック図である。

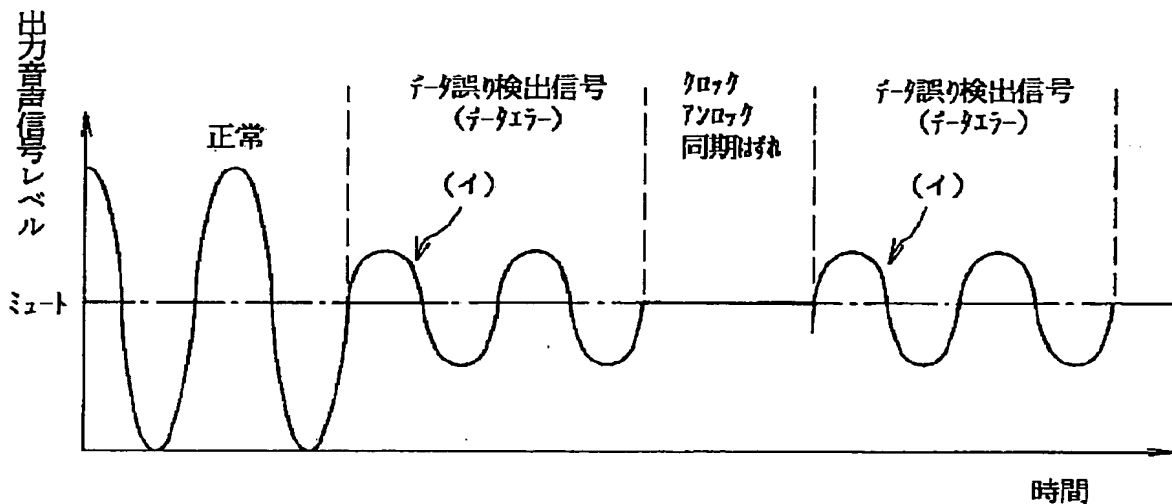
【図 5】図 5 に示すミュート回路の音声データ出力のミュート遷移図である。

【図 6】図 5 に示すミュート回路の音声データ出力のミュート遷移図である。

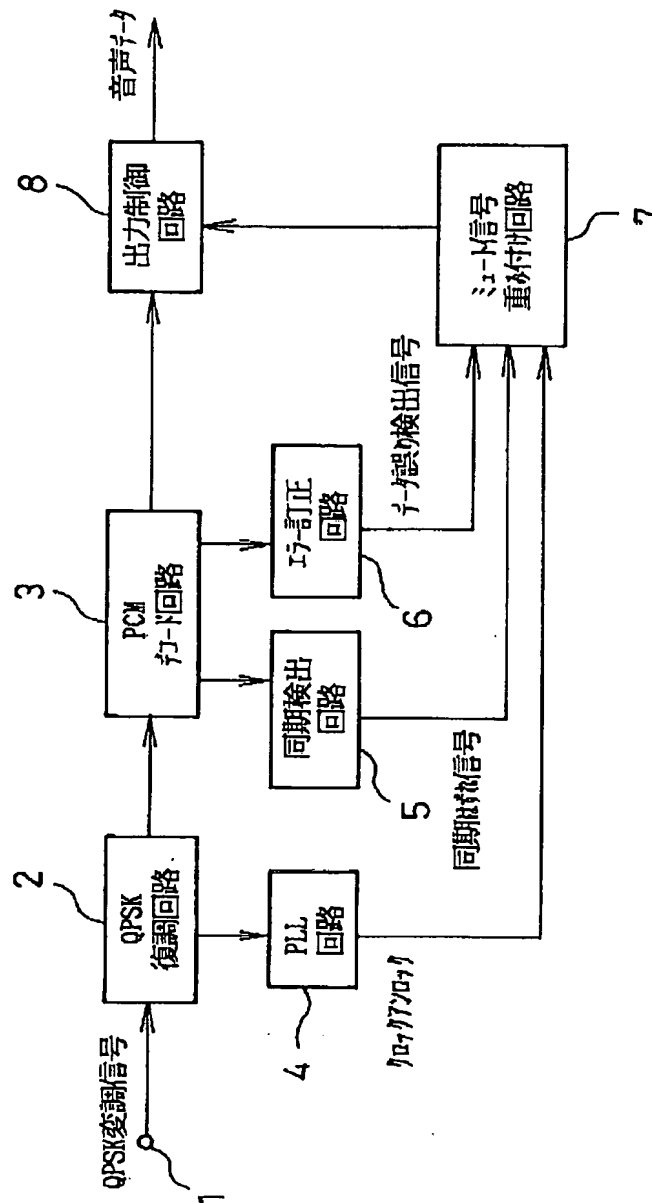
【符号の説明】

2…QPSK 復調回路、3…PCM デコード回路、4…PLL 回路、5…同期検出回路、6…エラー訂正回路、7…ミュート信号重み付け回路、8…出力制御回路。

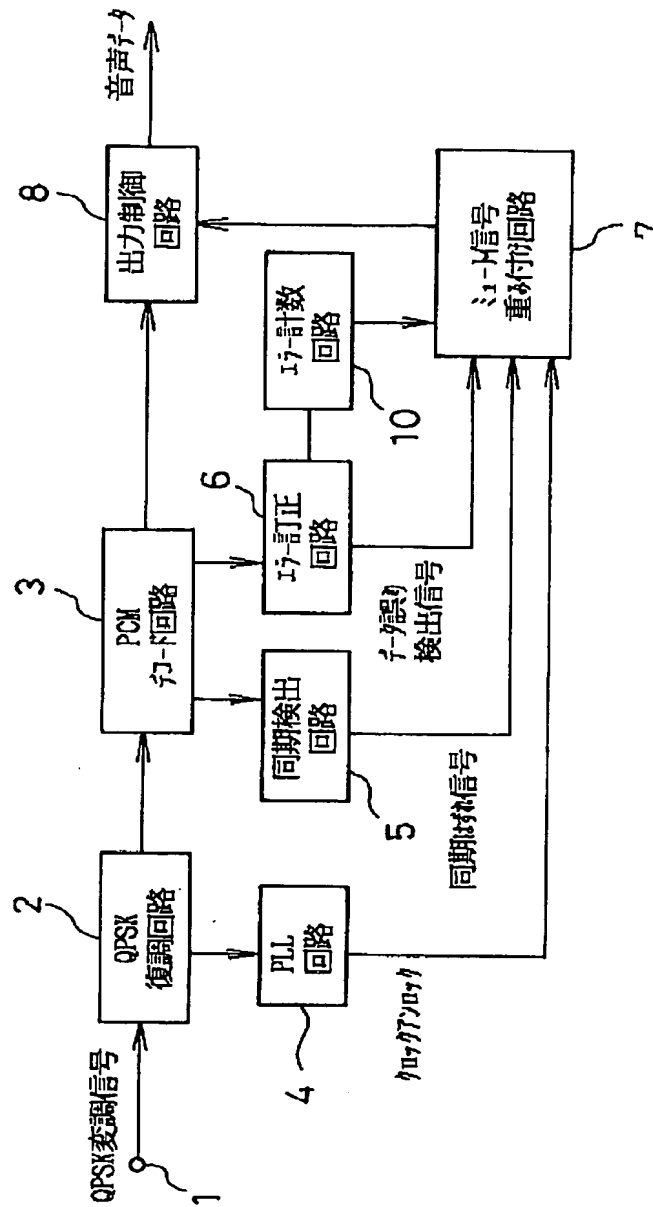
【図 2】



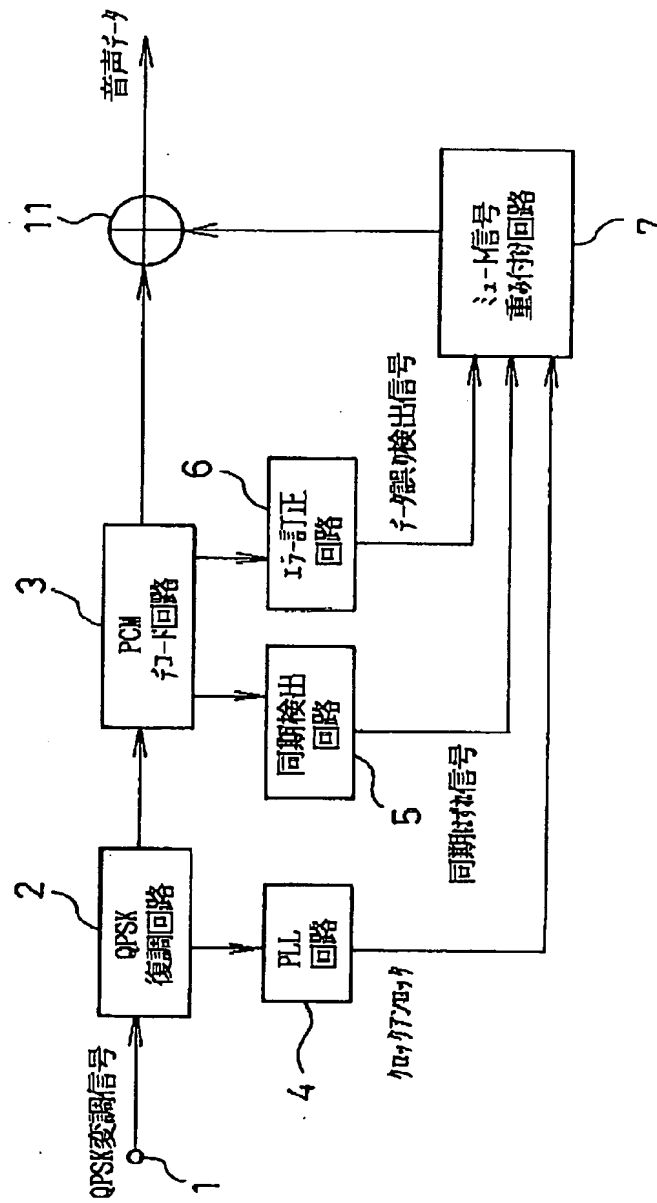
【図1】



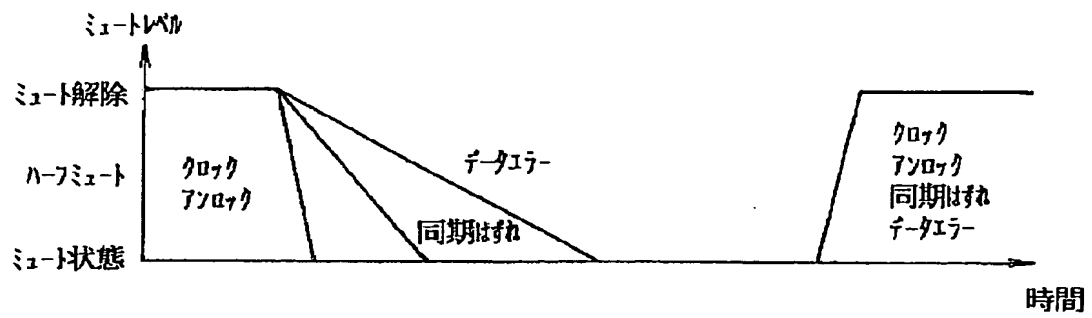
【図3】



【図4】



【図5】



【図6】

